

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-068862

(43)Date of publication of application : 07.03.2003

(51)Int.Cl.

H01L 21/822  
H01L 21/3205  
H01L 27/04

(21)Application number : 2001-257932

(71)Applicant : SHARP CORP

(22)Date of filing : 28.08.2001

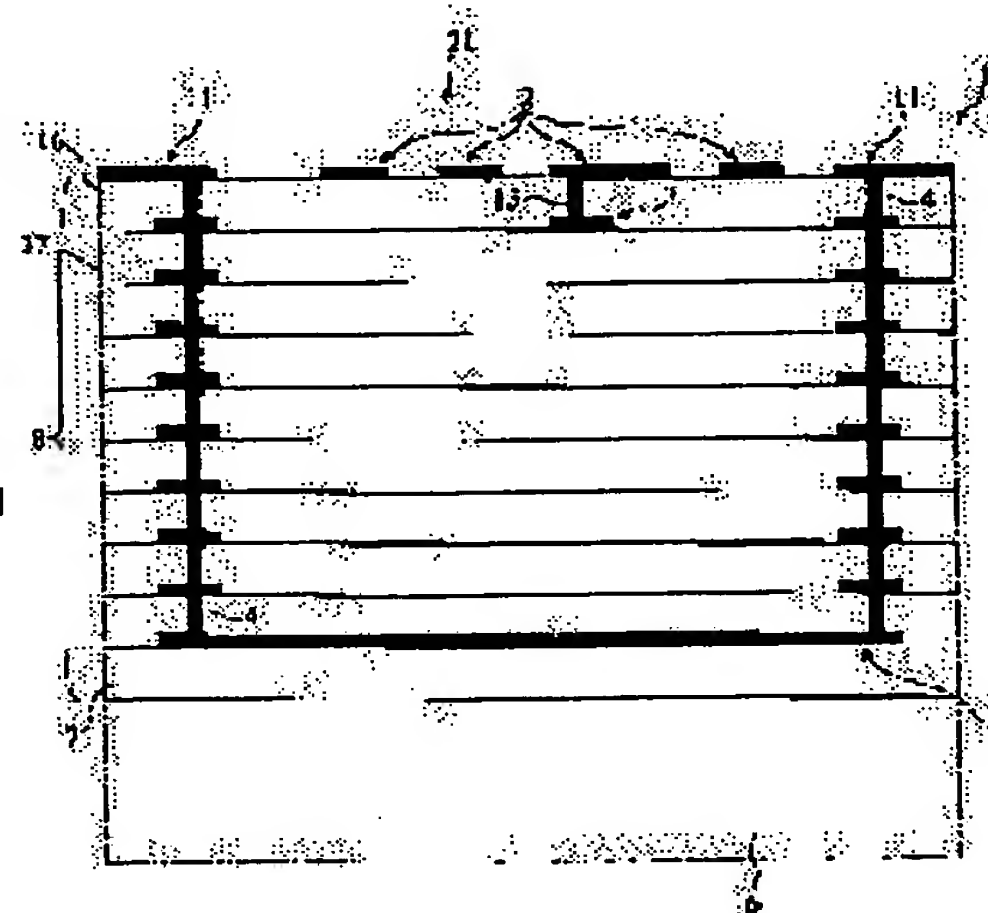
(72)Inventor : TANBA NORIYUKI

## (54) SPIRAL INDUCTOR AND HIGH-FREQUENCY SEMICONDUCTOR DEVICE

## (57)Abstract:

PROBLEM TO BE SOLVED: To reduce the amount of propagation in noise via a substrate - insulating layer to a spiral inductor formed on a semiconductor substrate in a silicon process, to prevent a high-frequency circuit from being affected by noise from a logic circuit, to inhibit parasitic capacity formed between a means for reducing jump-in noise and the spiral inductor, and hence to prevent characteristic deterioration in the inductor from being generated.

SOLUTION: Metal ground wiring 1 is arranged in the same insulating layer as metal wiring 2 where a spiral inductor 21 is formed around the spiral inductor 21 formed on a semiconductor by a silicon process. Additionally, connection to a metal wiring layer 5 that is the lowermost layer is made via a plurality through holes 4 to a plurality of insulating layers 8 from the metal ground wiring 1, and a shield structure for surrounding the spiral inductor 21 by the metal ground wiring 1, through hole 4, and the metal wiring 5 of the lowermost layer is provided.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2003-68862  
(P2003-68862A)

(43) 公開日 平成15年3月7日(2003.3.7)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	ターム(参考)
H 0 1 L 21/822		H 0 1 L 27/04	L 5 F 0 3 3
21/3205			H 5 F 0 3 8
27/04		21/88	S

審査請求 未請求 請求項の数 7 O L (全 8 頁)

(21) 出願番号 特願2001-257932(P2001-257932)

(22) 出願日 平成13年8月28日(2001.8.28)

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 丹波 憲之

大阪府大阪市阿倍野区長池町22番22号  
シャープ株式会社内

(74) 代理人 100084548

弁理士 小森 久夫

Fターム(参考) 5F033 HH04 HH08 HH11 UU05 VV03

VV08 XX23 XX24

5F038 AZ05 BH10 BH19 CD04 CD18

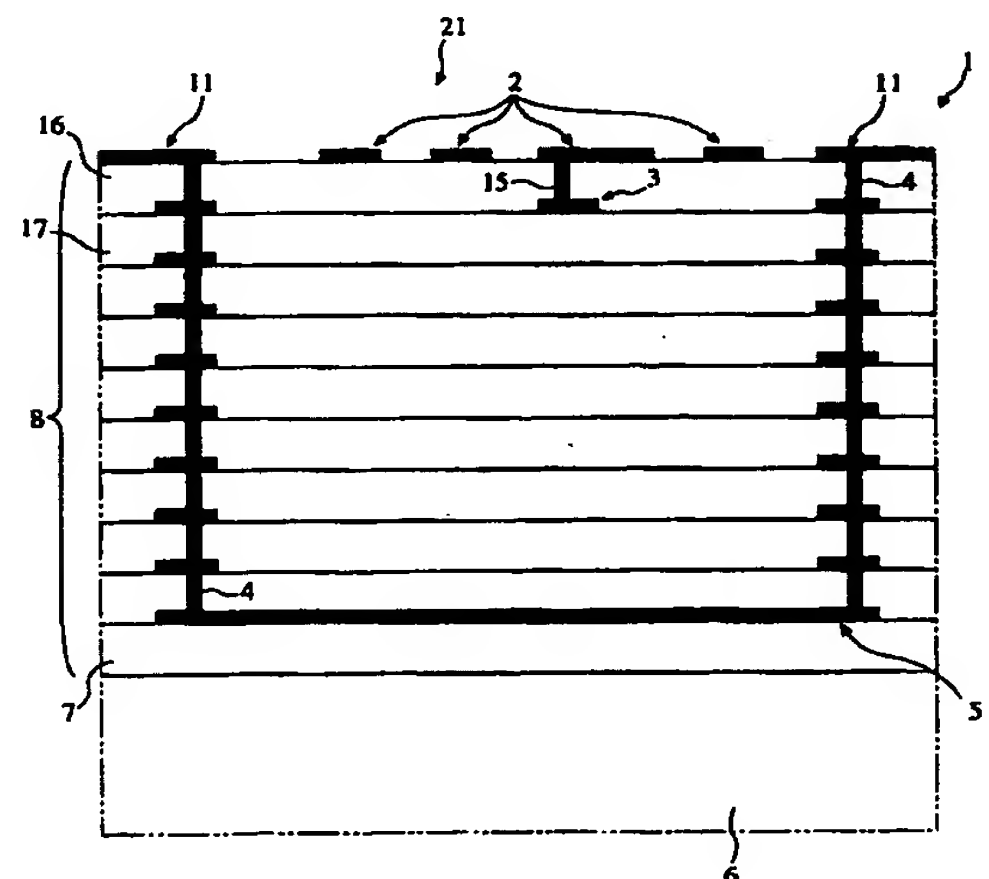
DF01 DF03 DF12 EZ01 EZ20

(54) 【発明の名称】 スパイラルインダクタ及び高周波半導体装置

(57) 【要約】

【課題】 シリコンプロセスにおいて半導体基板上に形成されたスパイラルインダクタへの基板-絶縁層を介した雑音の伝播量を低減し、ロジック回路からの雑音が高周波回路に悪影響を及ぼさないことである。また、本発明では、飛び込み雑音を低減する手段とスパイラルインダクタとの間に形成される寄生容量を小さく抑え、インダクタの特性劣化を引き起こさないことである。

【解決手段】 シリコンプロセスによって半導体上に形成されたスパイラルインダクタ21の周囲にスパイラルインダクタ21を形成しているメタル配線2と同一の絶縁層にメタル接地配線1を配置する。また、メタル接地配線1から複数の絶縁層8に複数のスルーホール4を介して、最下層のメタル配線層5まで接続し、スパイラルインダクタ21をメタル接地配線1、スルーホール4、最下層のメタル配線5で囲み込むシールド構造とする。



BEST AVAILABLE COPY

## 【特許請求の範囲】

【請求項1】 シリコンプロセスによって、複数の絶縁層を備えた半導体装置の所定の層上に形成されたスパイラル状配線の周囲に、シールド部を備えたことを特徴とするスパイラルインダクタ。

【請求項2】 前記シールド部は、前記スパイラル状配線と同一層上で、前記スパイラル状配線の周囲に形成された接地導電性面と、前記スパイラル状配線が形成された層と1層又は複数層離れた層上に形成された導電性面と、該接地導電性面及び該導電性面を電氣的に接続する接続部と、で構成されたことを特徴とする請求項1に記載のスパイラルインダクタ。

【請求項3】 前記導電性面は、基板配線材料で形成されたことを特徴とする請求項2に記載のスパイラルインダクタ。

【請求項4】 前記導電性面は、ポリシリコンで形成されたことを特徴とする請求項2に記載のスパイラルインダクタ。

【請求項5】 前記接続部は、前記スパイラル状配線の周囲に配設された複数のスルーホールあることを特徴とする請求項2乃至4のいずれかに記載のスパイラルインダクタ。

【請求項6】 前記接続部は、前記スパイラルインダクタの周囲に配設された溝状の凹部であることを特徴とする請求項2乃至4のいずれかに記載のスパイラルインダクタ。

【請求項7】 請求項1乃至6のいずれかに記載のスパイラルインダクタを備えたことを特徴とする高周波半導体装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、半導体装置の製造プロセスを用いて構成したスパイラルインダクタンスの構造に関する。

## 【0002】

【従来の技術】 集積回路の高周波回路には、インダクタとして一般にスパイラルインダクタが用いられる。スパイラルインダクタは、平面上に配線を螺旋（スパイラル）状に形成した多層配線のインダクタであり、その一例を図6及び図7に示す。図6は、半導体装置内に形成されたスパイラルインダクタの上面図である。図7は、図6に示したスパイラルインダクタのA-A'断面図である。

【0003】 図6に示したように、スパイラルインダクタ121は、半導体装置101の最上層絶縁層116上に形成されたスパイラル状の配線102、最上層絶縁層116とは別の絶縁層（ここでは、最上層から2層目の層間絶縁層）117上に形成された直線状の配線103、及び配線102及び配線103を接続するためのス

ルーホール115によって構成されている。また、スパイラル状の配線102の端部には、スパイラルインダクタ121の一方の端子114が設けてあり、外部の回路（図示せず）の端子等と接続されている。さらに、直線状の配線103の端部には、スパイラルインダクタ121の他方の端子113が設けてあり、外部の回路（図示せず）の端子等と接続されている。

【0004】 また、従来のスパイラルインダクタの断面構造は、図7に示したように、半導体基板106上に形成されたSiO<sub>2</sub>膜の上に、複数の層間絶縁層を介して最上層絶縁層116上に配線102を形成している。その最上層絶縁層116上の配線102をスパイラル状に形成することでスパイラルインダクタ121を形成している。

【0005】 なお、図7では、複数の絶縁層108は10層構成である例を示している。複数の絶縁層108は、図外のアナログ回路部及びデジタル回路部の素子形成や多層配線のために形成されているものである。

【0006】 上記のような構成のスパイラルインダクタは、高周波回路で電力を効率よく伝達するためのインピーダンス整合回路や、発振器の振動を定常的に維持するための共振回路として用いられる。

【0007】 従来、高周波集積回路のプロセスには、電子移動度が高いことから高周波特性の良好なトランジスタが形成できるGaAs等の化合物半導体を使用されることが多かった。このような化合物半導体は半絶縁体であり、又、半絶縁性基板上に形成されたスパイラルインダクタでは、基板との間における寄生容量は特に問題にはならなかった。また、化合物半導体を用いた半導体装置は、現在まで、増幅回路やミキサ等のアナログ回路を形成したものまでが開発されている状況であり、ロジック部などのデジタル回路を、上記のアナログ回路と同じ半導体装置内に混載させたものまでは至っていない。そのため、アナログ回路とデジタル回路とを同じ半導体装置内に混載した際に発生するデジタル回路からアナログ回路への飛び込み雑音は、問題にはなっていない。

【0008】 ところが近年、技術の進歩に伴ってシリコンプロセスでの微細化が進み、高周波特性の良好なトランジスタをシリコン基板上に形成できるようになり、高周波集積回路をシリコン基板上に形成可能となってきた。スパイラルインダクタを形成したシリコン基板上に、シリコンプロセスを用いてロジック回路を混載させることが容易に実施できるため、デジタル回路から、半導体基板上に形成されたスパイラルインダクタへの、基板を介した雑音の問題が避けられない状態になる。

【0009】 また、シリコン基板は半導体基板であり、スパイラルインダクタと基板との間に絶縁層を設けていることから、スパイラルインダクタと基板との間の寄生容量も問題となる。つまり、スパイラルインダクタで



は、特に上層配線層に形成されるスパイラル状の配線102は、面積的に比較的大きいことから、層間絶縁層108を介して配線102と半導体基板106との間に、寄生容量が形成されてしまう。

【0010】さらに、最上層絶縁層116に形成されるスパイラル状の配線102は、上記のように面積的に比較的大きいことから、図示していないがデジタル回路部の信号や、アナログ回路でも増幅回路での出力信号等が、層間絶縁層108や半導体基板を介して飛び込み雑音として伝播してくると、このスパイラルインダクタを用いた高周波回路は悪影響を受けやすくなる。

【0011】そこで、特開2000-188373公報には、インダクタの直下層部にポリシリコン層を挿入したスパイラルインダクタに関する技術が開示されている。このスパイラルインダクタは、ポリシリコン層をサブストレータ基板と同電位にしたことによって、インダクタに付く寄生抵抗と寄生容量を小さくでき、インダクタを発信回路の共振回路の一部とした場合に、発振回路の位相ノイズを低減できる。

【0012】

【発明が解決しようとする課題】しかしながら、上記の方法では、配線-ポリシリコン間での寄生容量が大きくなり、スパイラルインダクタの特性が著しく劣化する。また、層間絶縁層を介してスパイラルインダクタの周囲からの、雑音の伝播が考えられる。

【0013】そこで本発明は、上記の問題を解決するために創作したものであり、その目的は、シリコンプロセスにおいて半導体基板上に形成されたスパイラルインダクタへの基板-絶縁層を介した雑音の伝播量を低減し、ロジック回路からの雑音が高周波回路に悪影響を及ぼさないことである。また、本発明では、飛び込み雑音を低減する部位とスパイラルインダクタとの間に形成される寄生容量を小さく抑え、インダクタの特性劣化を引き起こさないことである。

【0014】

【課題を解決するための手段】この発明は、上記の課題を解決するための手段として、以下の構成を備えている。

【0015】(1)シリコンプロセスによって、複数の絶縁層を備えた半導体装置の所定の層上に形成されたスパイラル状配線の周囲に、シールド部を備えたことを特徴とする。

【0016】この構成において、スパイラルインダクタは、複数の絶縁層を備えた半導体装置の所定の層上にシリコンプロセスによって形成されたスパイラル状配線の周囲にシールド部を備えている。したがって、スパイラルインダクタへの同一基板上に、ロジック回路等のデジタル回路を形成した際に、デジタル回路からの雑音伝播が著しく減少し、高周波回路への悪影響を抑制することが可能となる。

10

20

30

40

50

【0017】(2)前記シールド部は、前記スパイラル状配線と同一層上で、前記スパイラル状配線の周囲に形成された接地導電性面と、前記スパイラル状配線が形成された層と1層又は複数層離れた層上に形成された導電性面と、該接地導電性面及び該導電性面を電気的に接続する接続部と、で構成されたことを特徴とする。

【0018】この構成において、スパイラルインダクタは、スパイラル状配線と同一層上で、スパイラル状配線の周囲に形成された接地導電性面と、スパイラル状配線が形成された層と1層又は複数層離れた層上に形成された導電性面と、接地導電性面及び導電性面を電気的に接続する接続部と、で構成されたシールド部を備えている。したがって、シールド効果と、このシールド部によるスパイラルインダクタへの寄生容量の低減と、を両立させることが可能となる。

【0019】(3)前記導電性面は、基板配線材料で形成されたことを特徴とする。

【0020】この構成において、スパイラルインダクタのシールド部は、基板配線材料で形成された導電性面を備えている。したがって、製造が容易で、コストアップ要因とはならない。

【0021】(4)前記導電性面は、ポリシリコンで形成されたことを特徴とする。

【0022】この構成において、スパイラルインダクタのシールド部は、ポリシリコンで形成された導電性面を備えている。したがって、製造が容易であり、コストの上昇を抑制できる。

【0023】(5)前記接続部は、前記スパイラル状配線の周囲に配設された複数のスルーホールあることを特徴とする。

【0024】この構成において、スパイラルインダクタの接続部は、スパイラル状配線の周囲に配設された複数のスルーホールによって構成されている。したがって、容易に実現できる手法で、接地導電性面と導電性面とを接続させることが可能となる。

【0025】(6)前記接続部は、前記スパイラルインダクタの周囲に配設された溝状の凹部であることを特徴とする。

【0026】この構成において、スパイラルインダクタの接続部は、スパイラルインダクタの周囲に配設された溝状の凹部によって構成されている。したがって、シールド効果をさらに高めることが可能となる。

【0027】(7)(1)乃至(6)のいずれかに記載のスパイラルインダクタを備えたことを特徴とする。

【0028】この構成において、高周波半導体装置は、(1)乃至(6)のいずれかに記載のスパイラルインダクタを備えている。したがって、雑音に強いインダクタを形成することができるので、アナログ回路、デジタル回路混載の高周波半導体装置が実現でき、これにより、ギガヘルツ帯域を用いる携帯電話の入力部の増幅回

路にデジタル処理回路を混載可能となる等、例えば携帯電話等の軽量化、小型化に有効である。

【0029】

【発明の実施の形態】図1は、本発明の第1実施形態に係るスパイラルインダクタの上面図である。また、図2は、図1に示したスパイラルインダクタのA-A'断面図である。図2に示したスパイラルインダクタ21は、10層構成の絶縁層8を備えている。

【0030】ここで、図1及び図2には、本発明の実施形態に係るスパイラルインダクタのみを示しており、半導体装置を構成する他のアナログ回路やデジタル回路部は既存の技術で構成させるため、省略している。

【0031】半導体基板6（ここではSi）上に形成された10層の層間絶縁層8（ここではSiO<sub>2</sub>）の構成を例に説明する。なお、最上層絶縁層16上のメタル配線2等を保護するための保護層は、図示を省略している。また、10層の層間絶縁層8は、図示していないアナログ回路部及びデジタル回路部の素子形成や多層配線のために形成したものである。

【0032】図1に示したように、スパイラルインダクタ21は、半導体基板6上に形成された複数の絶縁層8の最上層絶縁層16上に形成されたスパイラル状のメタル配線2と、スパイラル状配線2の中心部からの引き出し線のための最上層絶縁層16とは異なる絶縁層（ここでは、最上層から2層目の層間絶縁層）上に形成されたメタル配線3と、配線2のスパイラル状の中心で配線3と電気的接続を行うためのスルーホール15と、で構成されている。なお、配線2及び配線3は、例えば、アルミ配線、銅配線等の基板配線材料で形成されている。

【0033】また、配線2の端部には、配線2を引き出して、図示していない他の回路と接続するための端子14が設けられ、配線3の端部には、配線3を引き出して、図示していない他の回路と接続するための端子13が設けられている。

【0034】次に、本発明の特徴的な構成について説明する。本発明では、図2に示したように、半導体基板6上に形成された最下層絶縁層7上の配線層として、スパイラルインダクタ21の外周部よりも広いサイズの導電性面であるメタル面5を形成している。一方、最上層絶縁層16上の配線層（配線2と同一面）として、スパイラルインダクタ21の周辺部に接地導電性面である接地メタル面1を形成している。なお、メタル面5及び接地メタル面11は、例えば、アルミ配線、銅配線等の基板配線材料で形成され、又、接地メタル面11は図外の配線によって接地されている。

【0035】さらに、メタル面5と接地メタル面11とは、層間絶縁層8を貫通する接続部である複数のスルーホール4にて接続されている。ここで、複数のスルーホール4は、スパイラルインダクタ21が形成された面に対して垂直方向に形成されている。

【0036】このように構成しているので、シリコンプロセスにより絶縁層を介して半導体装置を構成する半導体基板上に形成されたスパイラルインダクタ21は、最上層絶縁層16上の接地メタル面11と、最下層絶縁層7上のメタル面5と、スパイラルインダクタ21の周辺に配設されている複数のスルーホール4と、で構成されたシールド部により、シールドされることになる。

【0037】これにより、図示していないが、同じ半導体基板に形成されているアナログ回路やデジタル回路からの半導体基板や複数の絶縁層を介しての、飛び込み雑音の影響を著しく減少させることができる。

【0038】また、メタル面5は、スパイラルインダクタ21が形成されている面とは、1層又は複数層離れた層に形成することで、距離をおいて双方を形成できることから、寄生容量を小さくすることで、寄生容量によるインダクタ特性の劣化を防止できる。

【0039】さらに、メタル面5と接地メタル面11とを接続する複数のスルーホール4は、形成する数を調整したり、間隔を調整して配設したりすることで、シールド効果が上がるように設定すれば良い。

【0040】加えて、スルーホール4の径を大きくしても良いし、スルーホールに代えて、複数の絶縁層8に溝（凹部）を形成して、メタル面5と接地メタル面11を接続しても良い。また、全面的に溝を延長して、スパイラルインダクタの端子部を除いたスパイラルインダクタ21の周辺を囲っても良い。但し、スルーホールによる接続が、絶縁層間を接続させる一般的技術のうちで、容易に実現できる手法である。

【0041】また、複数の絶縁層8のうち、どの層にスパイラルインダクタ、メタル面5、及び接地メタル面11を形成するかは、シールド効果や寄生容量を勘案して設定すれば良い。したがって、図2に示したように、最上層絶縁層16や最下層絶縁層7以外にスパイラルインダクタ21、メタル面5、及び接地メタル面11を形成しても良い。

【0042】さらに、複数の絶縁層8における任意の層間絶縁層上にスパイラルインダクタ21を形成し、最上層絶縁層16の接地メタル面11をスパイラルインダクタ21の外周部よりも広いサイズのメタル面とし、メタル面5と接地メタル面11とを複数のスルーホール4で接続することで、スパイラルインダクタ21の周囲をシールド部で囲うことができる。

【0043】また、スパイラルインダクタ21と同一平面でスパイラルインダクタ21の周囲に形成する接地メタル面11を、図外のアナログ回路やデジタル回路部へ拡げて形成することで、アナログ回路やデジタル回路から発する雑音を低減することが可能となる。

【0044】次に、シールド部を設けた効果を、スパイラルインダクタの等価回路を用いて説明する。図8は、図6及び図7に示した従来のスパイラルインダクタにお



ける雑音伝播を示す等価回路図である。図8に示したスパイラルインダクタ21の等価回路は、絶縁層を10層設けた場合であり、スパイラルインダクタの各寸法は、線路幅 $15\mu\text{m}$ 、線路スペース $5\mu\text{m}$ 、線路長 $4000\mu\text{m}$ である。また、絶縁層8は $\text{SiO}_2$ からなり、1層の厚みは $1.5\mu\text{m}$ である。さらに、スパイラルインダクタの等価回路では、インダクタンス値を $L_1$ 、配線抵抗を $R_1$ 、絶縁層8による寄生容量を $C_1$ 、半導体基板6に相当する配線抵抗を $R_2$ 及び寄生容量を $C_2$ として表している。加えて、雑音の伝播を示すモデルとして $R_3=10\text{k}\Omega$ とした。雑音信号は雑音源40から発生して、基板表面から層間絶縁層8を介してスパイラルインダクタ21に伝播するものとする。雑音の伝播量の見積もりは、雑音源10からスパイラルインダクタ21の入出力部41、42への電力通過量で与えられる。

【0045】図3は、本発明の第1実施形態に係るスパイラルインダクタにおける雑音伝播を示す等価回路図である。この等価回路は、図8に示した従来例から本発明の第1実施形態でのスパイラル断面構造を考慮して算出したものである。本発明の第1実施形態と従来例とは、スパイラルインダクタの配線パターンは同一であるものとする。本発明の第1実施形態では、図2の断面図に示したように、最下層メタル面5がスルーホール4でメタル接地面1に接続されている。この場合、スパイラルインダクタ21の配線パターンで規定される値であるインダクタンス値 $L_1$ 、配線抵抗 $R_1$ 、半導体基板6に相当する配線抵抗 $R_2$ 及び寄生容量 $C_2$ は、本発明の第1実施形態及び従来例で同一の値となる。最下層メタル面5によって絶縁層8による寄生容量が $C_{1a}$ （絶縁層9層分の容量）、 $C_{1b}$ （絶縁層1層分の容量）となる。最下層メタル5がスルーホール4でメタル接地配線1に接続された際のコンタクト抵抗を $R_4$ と表している。本実施形態では、シリコンプロセスで形成されるスルーホールの代表的値として $5\Omega\cdot\text{層}/\text{hole}$ で計算した。そして、スルーホールの総数を45個とし、絶縁膜9層を介しての接続を想定した。その結果、 $R_4=5\Omega/\text{hole}\times 9\text{層}/45\text{個}=1.0\Omega$ とした。

【0046】図4は、本発明の第1実施形態及び従来例でのスパイラルインダクタによる雑音伝播シミュレーション結果を示したグラフである。2～3GHz帯域内において、雑音伝播量は本発明では $-89\text{dB}$ である。よって、従来例の雑音伝播量である $-51\text{dB}$ と比較して、 $48\text{dB}$ 雑音伝播量を低減できた。なお、2～3GHz帯域において、本発明のスパイラルインダクタを使用した場合の特性改善を示したが、周波数帯域は一例であり、本発明の周波数帯域を限定するものではない。

【0047】この結果より、等価回路を用いて本発明が半導体基板を介して同一基板上に形成されているロジック回路等からの雑音の影響が著しく減少することが確認できた。

【0048】次に、本発明の第2実施形態に係るスパイラルインダクタについて説明する。図5は、本発明の第2実施形態に係るスパイラルインダクタの断面図である。本発明の第2実施形態に係るスパイラルインダクタの形状は、本発明の第2実施形態に係るスパイラルインダクタ21と同じであるため、ここでの説明は省略する。

【0049】本発明の第2実施形態に係るスパイラルインダクタ31では、スパイラルインダクタ21のシールド部を構成するメタル面5に代えて、導電性のあるポリシリコン面を使用している。すなわち、半導体基板6（ここでは、 $\text{Si}$ ）上に、導電性のあるポリシリコン（ゲート等で使用しているポリシリコン）を配設している。そして、本発明の第1実施形態と同様に、最上層絶縁層16に形成されている接地メタル面11と層間絶縁層8（ここでは、 $\text{SiO}_2$ ）とを貫通する複数のスルーホール4によって、電気的に接続を行っている。

【0050】このようにすることで、シリコンプロセスにより絶縁層を介して半導体基板上に形成されたスパイラルインダクタ31は、最上層絶縁層16上の接地メタル面11と、半導体基板6上のポリシリコン面9と、スパイラルインダクタ31の周辺に配設されている複数のスルーホール4によって構成されたシールド部によって、シールドされることになる。

【0051】この場合、ポリシリコン面9と接地メタル面2との間に形成した層間絶縁層は10層となり、層間絶縁層が9層の第1実施形態と比較して1層増加しており、寄生容量をより下げる効果がある。

【0052】なお、本発明の実施形態では、 $\text{Si}$ 基板上にシリコンプロセスを用いてスパイラルインダクタやシールド部を設けた構成について説明したが、これに限定されるものではなく、例えば、 $\text{Si}$ 基板上に $\text{SiGe}$ （シリコンゲルマニウム）で形成した半導体装置にも適用可能であり、層間絶縁層を用いる半導体装置に有効である。

【0053】以上のように本発明は、スパイラルインダクタを形成するスパイラル状配線と同一面に形成する接地導電性面と、スパイラルインダクタを形成する領域で層間絶縁層を介した面に形成される導電性面と、この両面を電気的に接続する接続手段で構成されるもので、シールド効果と、このシールド手段によるスパイラルインダクタへの寄生容量の低減を両立させたものである。

【0054】また、既知の技術で構成可能であるため、コストアップ要因にはならない。

【0055】雑音に強いスパイラルインダクタを形成することができることで、アナログ回路、デジタル回路混載の高周波半導体装置が実現でき、これにより、ギガヘルツ帯域を用いる携帯電話の入力部の増幅回路にデジタル処理回路を混載可能となる等、携帯電話の軽量化、小型化に有効である。

【0056】

【発明の効果】本発明によれば、以下の効果が得られる。

【0057】(1) スパイラルインダクタは、複数の絶縁層を備えた半導体装置の所定の層上にシリコンプロセスによって形成されたスパイラル状配線の周囲にシールド部を備えていることにより、スパイラルインダクタへの同一基板上に、ロジック回路等のデジタル回路を形成した際に、デジタル回路からの雑音伝播が著しく減少し、高周波回路への悪影響を抑制できる。

【0058】(2) スパイラルインダクタは、スパイラル状配線と同一層上で、スパイラル状配線の周囲に形成された接地導電性面と、スパイラル状配線が形成された層と1層又は複数層離れた層上に形成された導電性面と、接地導電性面及び導電性面を電氣的に接続する接続部と、で構成されたシールド部を備えているので、シールド効果と、このシールド部によるスパイラルインダクタへの寄生容量の低減と、を両立させることができる。

【0059】(3) スパイラルインダクタのシールド部は、基板配線材料で形成された導電性面を備えているので、製造が容易で、コストアップ要因とはならずコスト抑制に効果的である。

【0060】(4) スパイラルインダクタのシールド部は、ポリシリコンで形成された導電性面を備えているので、製造が容易であり、コストの上昇を抑制できる。

【0061】(5) スパイラルインダクタの接続部は、スパイラル状配線の周囲に配設された複数のスルーホールによって構成されているため、容易に実現できる手法で、接地導電性面と導電性面とを接続させることができる。

【0062】(6) スパイラルインダクタの接続部は、スパイラルインダクタの周囲に配設された溝状の凹部によって構成されているため、シールド効果をさらに高めることができる。

【0063】(7) 高周波半導体装置は、(1)乃至(6)のいずれかに記載のスパイラルインダクタを備えていることによって、雑音に強いインダクタを形成することができるので、アナログ回路、デジタル回路混載の高周波半導体装置が実現でき、これにより、ギガヘルツ帯域を用いる携帯電話の入力部の増幅回路にデジタル処理回路を混載可能となる等、例えば携帯電話等を軽量化、小型化できる。

【図面の簡単な説明】

10 【図1】本発明の第1実施形態に係るスパイラルインダクタの上面図である。

【図2】図1に示したスパイラルインダクタのA-A'断面図である。

【図3】本発明の第1実施形態に係るスパイラルインダクタにおける雑音伝播を示す等価回路図である。

【図4】本発明の第1実施形態及び従来例でのスパイラルインダクタによる雑音伝播シミュレーション結果を示したグラフである。

20 【図5】本発明の第2実施形態に係るスパイラルインダクタの断面図である。

【図6】半導体装置内に形成されたスパイラルインダクタの上面図である。

【図7】図6に示したスパイラルインダクタのA-A'断面図である。

【図8】図6及び図7に示した従来のスパイラルインダクタにおける雑音伝播を示す等価回路図である。

【符号の説明】

1, 101-半導体装置

2-スパイラル状配線

30 4-複数のスルーホール

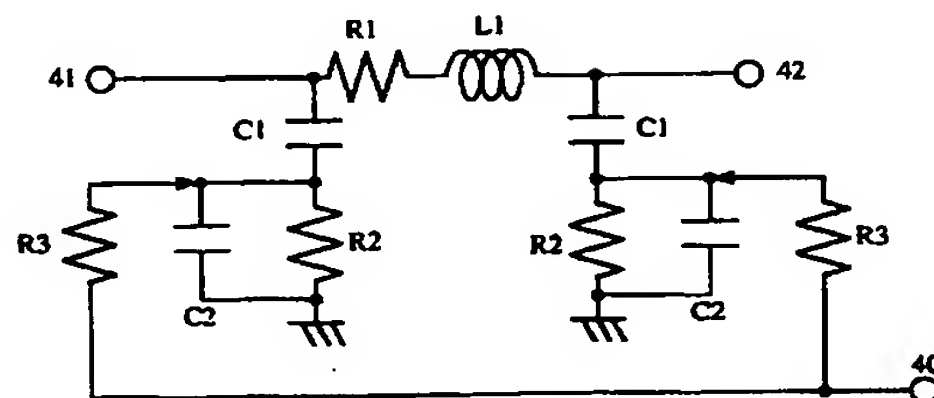
5-メタル面

8-複数の絶縁層

11-接地メタル面

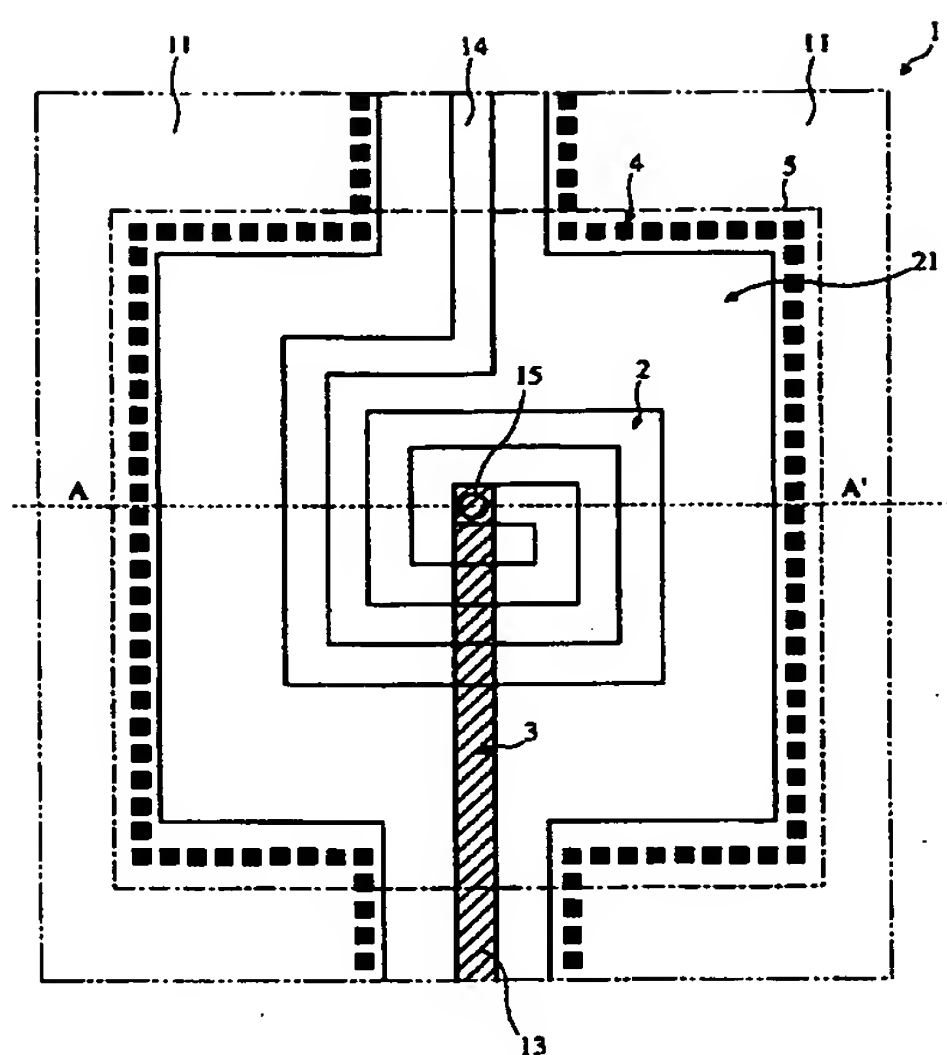
21, 31, 121-スパイラルインダクタ

【図8】

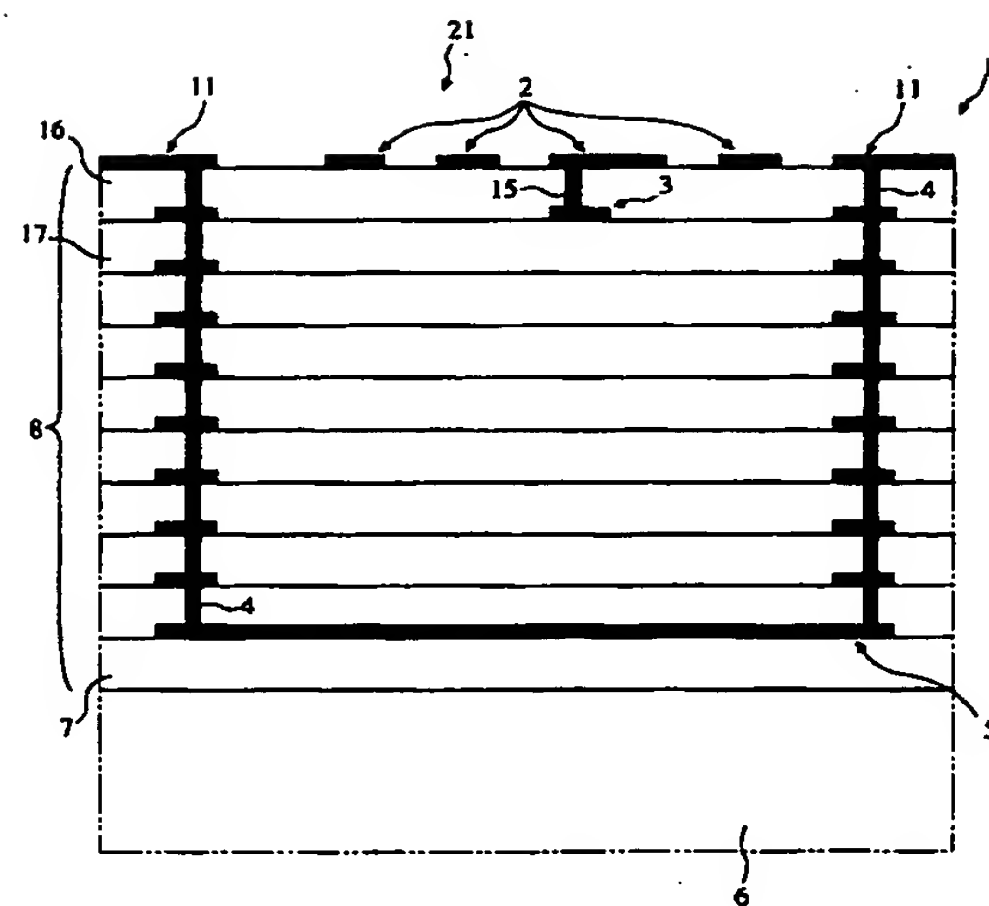


L1 : 6.0 nH  
R1 : 8.0 Ω  
R2 : 200.0 Ω  
R3 : 10.0 kΩ  
C1 : 99.0 pF  
C2 : 110.0 pF

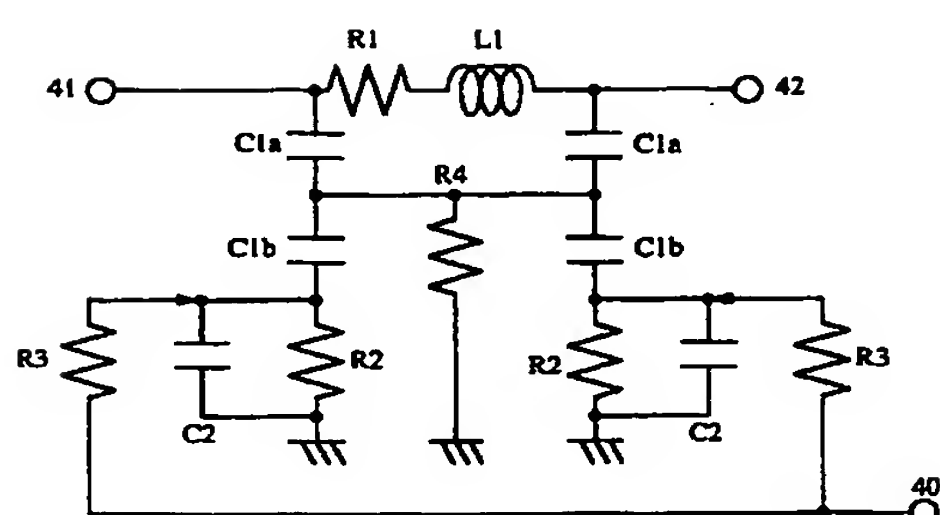
【図1】



【図2】

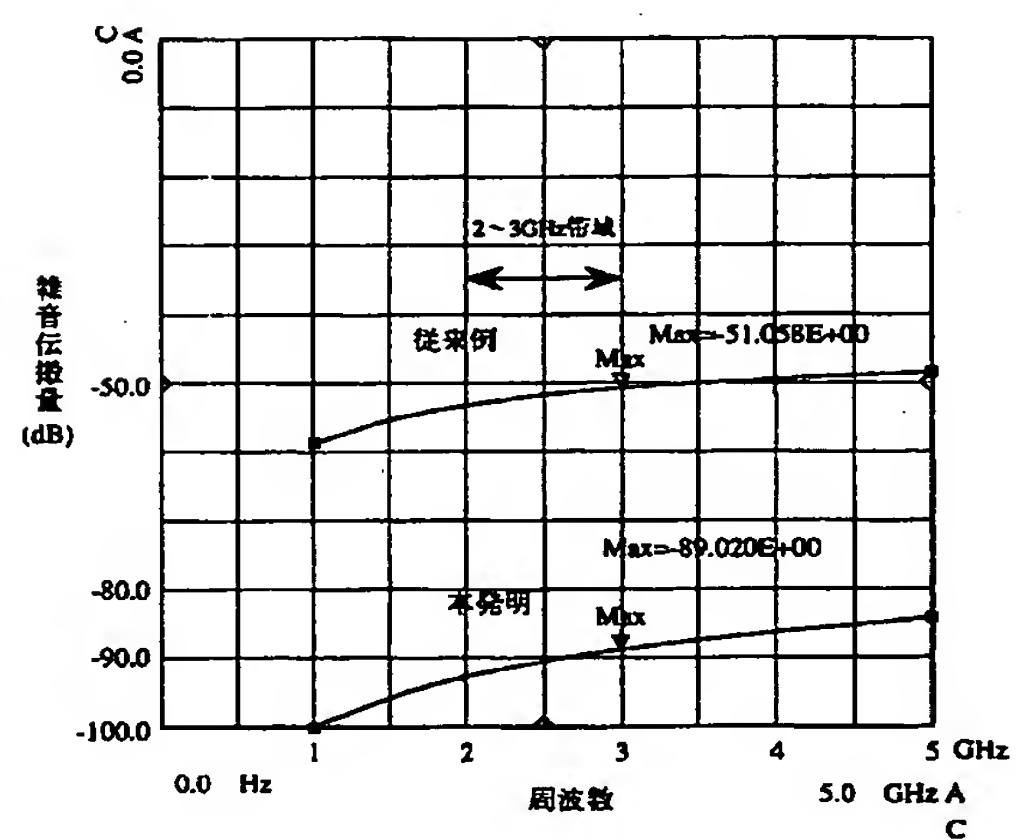


【図3】



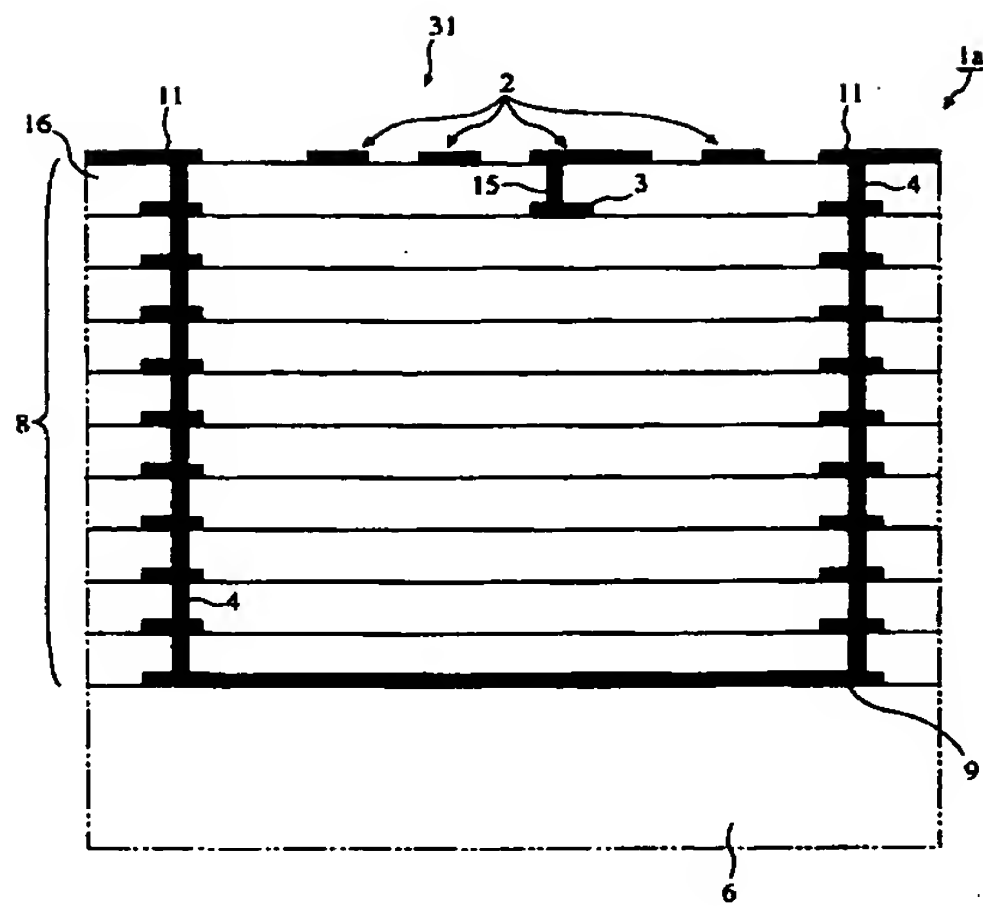
L1 : 6.0 nH  
 R1 : 8.0  $\Omega$   
 R2 : 200.0  $\Omega$   
 R3 : 10.0 k $\Omega$   
 R4 : 1.0  $\Omega$   
 C1a : 110.0 fF  
 C1b : 990.0 fF  
 C2 : 110.0 fF

【図4】

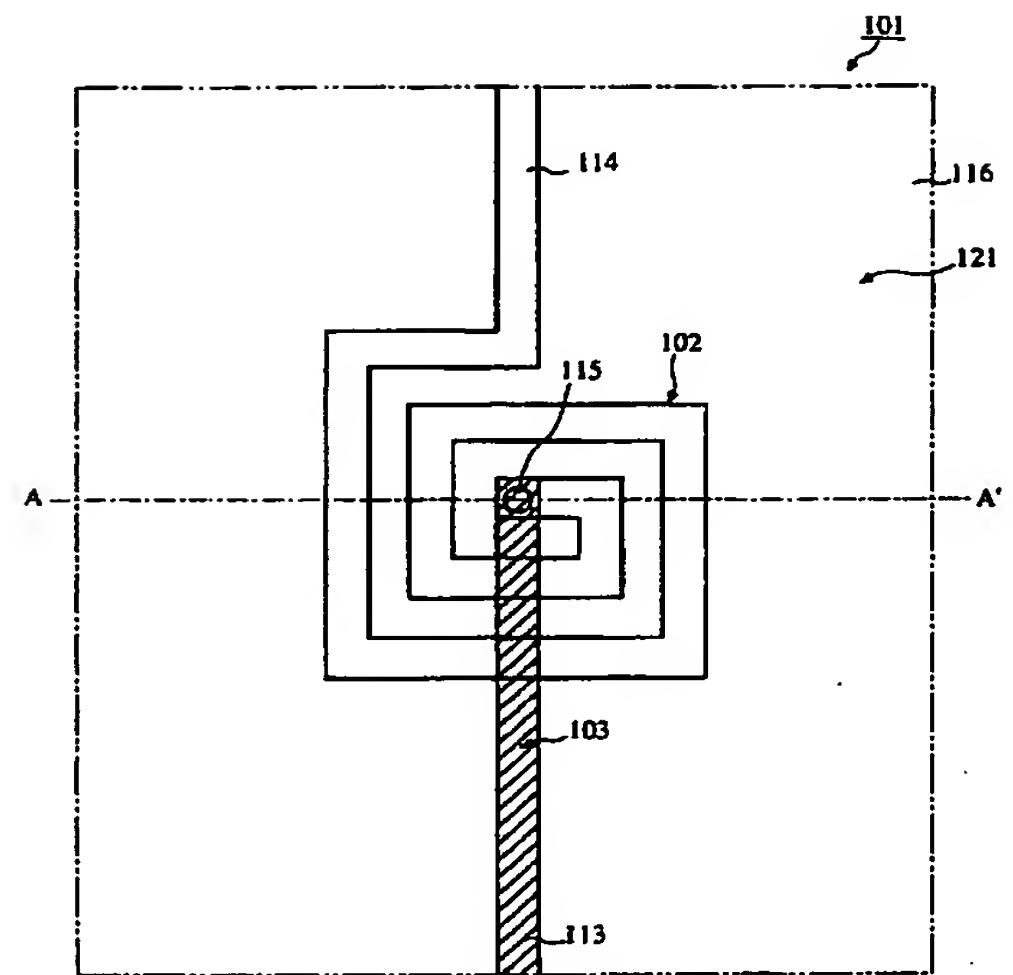




【図5】



【図6】



【図7】

